



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02095015 A**(43) Date of publication of application: **05.04.90**

(51) Int. Cl.

H03L 7/06**H04L 7/033**(21) Application number: **63247727**(22) Date of filing: **30.09.88**(71) Applicant: **KYOCERA CORP**

(72) Inventor:
KOJIMA TAKETOSHI
JINNO JUNICHI
MASUSHIRO MASAMI
KIDO TOSHIKI

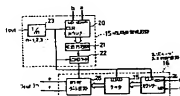
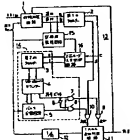
(54) **DIGITAL PLL CIRCUIT**

(57) Abstract:

PURPOSE: To shorten the pull-in time of a digital PLL by delaying the change of the direction of correction, increasing the correcting quantity of a forward direction, and decreasing the correcting quantity of an inverse direction, when the correcting quantity becomes maximum.

CONSTITUTION: A phase difference monitoring circuit 15 is composed of an up down counter 20, a condition discriminating circuit 1, a first latch circuit 22 and a frequency-dividing circuit 23 and a secondary loop input control circuit 16 is composed of an up down counter 24, a second latch circuit 25 and a control gate circuit 26. At the place where the change of the phase difference in a primary loop 13 is observed, the rotation direction and the phase difference quantity are detected and the correcting quantity becomes maximum in accordance with the information of the change of the obtained phase difference, by delaying the change of correction, the correcting quantity of the forward direction is increased and the correcting quantity of the inverse direction is decreased. Thus, the pull-in time of a digital PLL is shortened.

COPYRIGHT: (C)1990,JPO&Japio



⑫ 公開特許公報 (A) 平2-95015

⑬ Int. Cl. *

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月5日

H 03 L 7/06
H 04 L 7/033

8731-5 J H 03 L 7/06
6914-5 K H 04 L 7/02

B
B

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 デジタルPLL回路

⑯ 特 願 昭63-247727

⑰ 出 願 昭63(1988)9月30日

⑱ 発 明 者 小 島 健 利 東京都世田谷区玉川台2丁目14番9号 京セラ株式会社東京
京用賀事業所内
⑱ 発 明 者 神 野 純 一 東京都世田谷区玉川台2丁目14番9号 京セラ株式会社東京
京用賀事業所内
⑱ 発 明 者 益 城 正 己 熊本県熊本市西原1-15-7 京セラ株式会社熊本LSI
デザインセンター内
⑱ 発 明 者 城 戸 俊 樹 東京都世田谷区下馬5-18-5
⑲ 出 願 人 京セラ株式会社 京都府京都市山科区東野北井ノ上町5番地の22

明 細 書

1. 発明の名称

デジタルPLL回路

2. 特許請求の範囲

入力デジタル信号と出力デジタル信号との位相をデジタル的に比較して得られた位相差量に応じ、内部クロックに所定周期で1パルス追加または削除することにより出力デジタル信号の位相補正を行なう1次ループと2次ループを有し追加または削除された内部クロックを分周したものを上記出力デジタル信号として供給するPLL回路において、上記位相比較にตอบสนองして1次ループにおける位相差の変化を観測し、位相の回転方向および位相差量を検知する位相差監視回路と、該回路の出力に応じて1次ループから2次ループへの入力を制御して位相差量が規定値以上のときに、1次ループへの補正量を増減させることを特徴とするデジタルPLL回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタル通信システム等において使用されているデジタルPLL回路の改良に関する。

〔発明の概要〕

1次ループ及び2次ループを有するデジタルPLL回路において、位相差監視回路が入出力デジタル信号間の位相比較にตอบสนองして位相差の変化を観測し、位相の回転方向及び位相差量を検知し、2次ループ入力制御回路がその検知出力に応じて1次ループからの2次ループに対する入力を制御して補正量の増減を行うことに關する。

〔従来の技術〕

第6図は従来のデジタルPLL回路の一例を示す。同図において、1はデジタル位相比較回路、2及び3は第1及び第2のフィルタ、4はアップダウン・カウンタ、5はパルス分散回路、6はインバータ、7及び8はアンド回路、9及び10はオア回路、11は1パルス追加削除回路、12は分周回路である。

(1)

(2)

また f_{in} は入力デジタル信号の周波数、 f_{div} は内部クロックの周波数（自走周波数）、 N は分周比であり、更に 13 は 1 次ループで、位相比较回路 1、第 1 のフィルター 2 から成り、14 は 2 次ループで、第 2 のフィルター 3、アップダウンカウンタ 4、パルス分岐回路 5、インバータ 6 及びアンド回路 7、8 から成り、そして 1 パルス追加削除回路 11 及び分周回路 12 によりデジタル VCO が構成されている。

位相比较回路 1 は入出力デジタル信号の位相をデジタル的に比較して、位相差に相当する個数のパルス列が遅れ又は進み出力 a 、 b として第 1 のフィルター 2 に与えられ、その出力 c 、 d が第 2 のフィルター 3 及びオア回路 9、10 の一方の入力に加えられる。第 2 のフィルター 3 の 2 つの出力はアップダウンカウンタ 4 の up, down 入力に与えられ、カウント出力は常に出ている。そのカウント出力がパルス分岐回路 5 の入力 X に加えられる。

パルス分岐回路 5 はクロック入力 CK に与えられ、

(3)

い場合、第 9 図に示す如く引込み動作時に位相の回転を生ずることがある。

このような位相の回転が起こっている時、入力周波数 f_{in} と出力周波数 f_{out} との位相差が $\pm 180^\circ$ 変化するため、第 7 図から明らかなように 2 次ループ 14 の第 2 のフィルター 3 に対して引込みを行なう順方向の入力と逆方向の入力が交互に互に起こることになる。

従ってその結果補正量は相殺され、引込みには長時間を必要とする。

上述したように一般にデジタル PLL 回路の引込みの早さとその安定性とは相反する関係にあり、PLL 回路の安定性が増せば引込み時間が長くなり、また引込みを早くすれば不安定となる。

〔発明の目的〕

従って本発明の目的はデジタル PLL 回路においてその安定性をそこなうことなく、前記位相の回転を早く収束させて引込み時間を短縮せしめることにある。

れたパルス列の位相に記入入力 X に対応した個数だけのパルスをできるだけ均等な間隔で出力し、その出力パルスはカウンタ 4 からの符号ビットに 대응してアンド回路 7、8 を介して前記オア回路 9、10 の他方の入力に加えられる。

その結果、周波数 f_{div} の内部クロックは 1 パルス追加削除回路 11 によりオア回路 9 又は 10 の出力に応じて、周期的に 1 パルスが除去されるか、又は付加されて、前記位相差に応じて 1 パルス追加又は削除されたクロックは分周回路 12 で $1/N$ の周波数に分周し、前記デジタル信号となる。

第 7 図は上記デジタル PLL 回路の動作説明図、第 8 図はこの回路における入力周波数 f_{in} と定常位相差の関係を示す図で、 f_1 は 1 次ループ 13 の最大補正量（絶対値）、 f_2 は 2 次ループ 14 の最大補正量（絶対値）をあらわす。

〔発明が解決しようとする問題点〕

さて上述した従来のデジタル PLL 回路において、入力周波数 f_{in} と自走周波数 f_0 の周波数差の絶対値が 1 次ループ 13 の最大補正量 f_1 より大きい

(4)

〔問題点を解決するための手段〕

本発明は上記目的を達成するため入力デジタル信号と出力デジタル信号との位相をデジタル的に比較して得られた位相差量に応じて内部クロックに所定周期で 1 パルス追加又は削除することにより出力デジタル信号の位相補正を行なう 1 次ループと 2 次ループを有し、追加又は削除された内部クロックを分周したものを上記出力デジタル信号として供給する PLL 回路において、上記位相比較に 대응して 1 次ループにおける位相差の変化を観測し、位相の回転方向及び位相差量を検知する位相差監視回路と、該回路の出力に応じて 1 次ループからの 2 次ループに対する入力を開閉して位相差量が規定値以上のときに 1 次ループへの補正量を増減させるデジタル PLL 回路を提供する。

〔作用〕

1 次ループにおける位相差の変化が観測され、その回転方向及び位相差量が検知され、得られた位相差の変化の情報に応じて補正量が最大になっている所で補正の方向の変化を知らせることによ

(6)

り順方向の補正量を増やし、逆方向の補正量を減らすことによりデジタルPLLの引込み時間の短縮を行う。

〔実施例〕

以下図面を参照して本発明を更に説明する。

第1図及び第2図は本発明によるデジタルPLL回路の一実施例を示し、第6図と同一符号は同一又は類似の回路をあらわす。第1図において、15は位相差監視回路、16は2次ループ入力制御回路で、これら回路は例えば第2図に示すように構成される。

第2図において、20はアップダウンカウンタ、21は状態判別回路、22は第1のラッチ回路、23は分周回路で、これら回路により位相差監視回路15が構成される。また、24はアップダウン・カウンタ、25は第2のラッチ回路、26は制御ゲート回路で、これら回路により2次ループ入力制御回路16が構成される。

デジタル位相比較回路1の出力a、bは位相差監視回路15のアップダウン・カウンタ20に与え

(7)

補正を行う第2のラッチ回路25からのデータを制御して2次ループの第2のフィルタ3に加える。

上述した回路の特徴はデジタルPLL回路の入出力 fin, fout 間の位相差が小さく安定している時、2次ループ入力制御回路16の制御ゲート回路26が第2のラッチ回路25のデータをそのまま2次ループ14のフィルタ3へ送るようになり、位相差補正回路15及び2次ループ入力制御回路16が存在しないのと同じ状態(c = e, d = f の状態)にすることができるため、デジタルPLL回路の安定性を保持したまま位相の引込み速度を早くすることができる点にある。

第3図は上述した実施例の具体的構成例で、入出力信号の周波数差 (fin - fout) のために位相の回転が生じている時、その回転方向を検知し、その位相差が +180° から -180° へ変化するとき、または -180° から +180° へ変化するとき第2のフィルタ3へ渡す値の符号 bit の正から負へまたは負から正への変化を遅らせることにより順方向の補正量を増やし、逆方向の補正量を減

(9)

られ、該カウンタのトリップ端子 CLR には分周回路23を介して出力デジタル信号が印加されているので、上記出力 a, b は fout の n 周期毎に上記カウンタでカウントされ、そのカウント出力は状態判別回路21に送られる。

状態判別回路21は上記カウント出力に基いて位相のずれ方向（回転方向）及び位相差量が所定値以上あるか否か等の必要な情報が判別され、第1のラッチ回路22に保持される。

次に、2次ループ14への入力 c, d は2次ループ入力制御回路16のカウンタ24に捉えられ、そのカウント出力が第2のラッチ回路25で保持される。第2のラッチ回路25のデータは制御ゲート回路26は位相差監視回路15の第1のラッチ回路22のデータに応じてオンオフされるようになっている。従って第1のラッチ回路22のデータ（デジタル位相比較回路1の出力に基づく位相情報の判別結果）はデジタルPLL回路の引込み動作に対して順方向の位相補正データか、逆方向の位相補正データかを示し、必要に応じて位相

(8)

らすようにしてデジタルPLL回路の引込み時間を短縮することを目的としている。

第3図において、状態判別回路21は大小比較回路31によって構成され、また制御回路26はディレイ回路35、インバータ回路36、40、アンド回路37、38、41、42、オア回路39により構成されている。

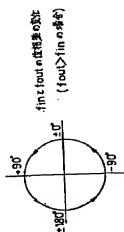
位相比較器1の出力パルス a, b はアップ・ダウンカウンタ20によってカウントされ、そのカウント結果 Q は大小比較回路31に渡され、大小比較回路31にはあらかじめ一定値 K が設定されており、この値 K とカウンタからの値 |Q| との大小比較を行う。

大小比較の結果、出力 |Q| が |Q| > K のとき「High」、|Q| ≤ K のとき「Low」となり、第1のラッチ回路22にその値が保持される。

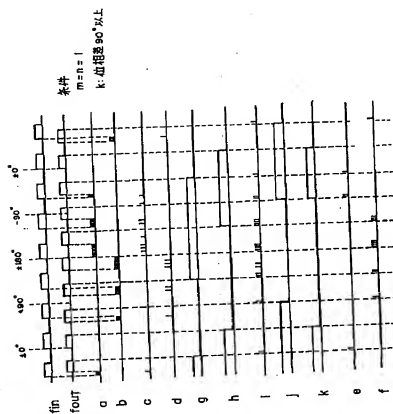
一方、2次ループ入力制御回路16では第1のラッチ回路22に保持された値に基づいて第2のフィルタ3へ入力されるデータの符号を遅らせるかどうかの判定を行う。

(10)

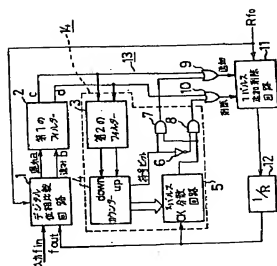
第 5 図



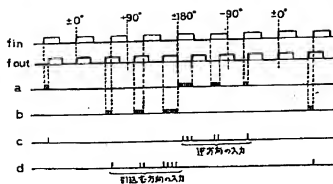
第 4 図



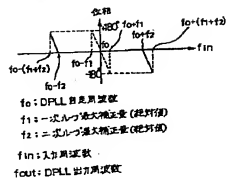
第 6 図



第 7 図



第 8 図



第 9 図

